

Nouvelle technique de compensation des dégradations introduites par les lignes d'interconnexion

Blaise Ravelo, Marc Le Roy, André Pérennec

Université Européenne de Bretagne (UEB), France. Université de Brest, Lab-STICC UMR CNRS 3192.

6 avenue Le Gorgeu, CS93837, 29238 Brest cedex 3.

blaise.ravelo@yahoo.fr, marc.leroy@univ-brest.fr, andre.perennec@univ-brest.fr

Résumé

Une nouvelle technique de compensation des dégradations des signaux dues à une ligne d'interconnexion modélisée par des circuits RC et RLC est présentée. Cette technique est basée sur la mise en cascade de ces lignes avec un dispositif à Temps de Propagation de Groupe (TPG) négatif (ou Negative Group Delay : NGD). Après avoir rappelé la théorie de ce circuit NGD et celle des modèles RC d'une ligne d'interconnexion, nous proposons une étude des deux dispositifs cascades. La réduction du délai de propagation a été analytiquement mise en évidence. Les simulations confirment cette réduction du retard jusqu'à plus de 80 % en valeur relative et montre la remise en forme des signaux dégradés.

1. Introduction

Dans le cadre de l'évolution des technologies microélectroniques VLSI, les effets dus aux lignes d'interconnexion notamment le retard deviennent de plus en plus importants [1]. Pour tenir compte de ces effets, plusieurs modèles de lignes ont été considérés. Celui qui est le plus simple et qui est encore le plus utilisé actuellement est le modèle RC proposé par Elmore en 1948 [2]. Ce modèle permet en particulier d'évaluer le retard des lignes en considérant un développement au 1^{er} ordre de la fonction de transfert du système. Pour réduire ce type de retard, une méthode basée sur l'introduction des répéteurs (Figure 1) a été proposée [3-5].

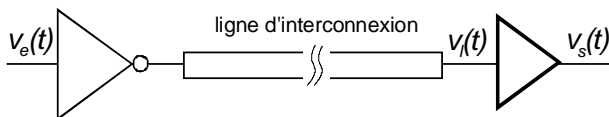


Figure 1. Ligne d'interconnexion pilotée par une porte logique cascadée par un répéteur.

Mais d'une manière générale, cette méthode ne permet pas de préserver la durée des symboles des données $v_e(t)$ par rapport à la sortie corrigée $v_s(t)$ et elle reste inadéquate si l'atténuation de la tension dégradé $v_f(t)$ est relativement faible.

Pour lever cette limitation, nous présentons dans cet article, une technique d'égalisation ou de reconstruction des signaux dégradés par ces lignes d'interconnexion en utilisant un circuit actif à TPG négatif (Negative Group Delay = NGD) [6-7] comme expliqué par la Figure 2.

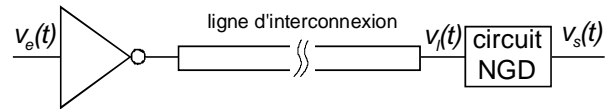


Figure 2. Ligne d'interconnexion pilotée par une porte logique compensée par un circuit NGD.

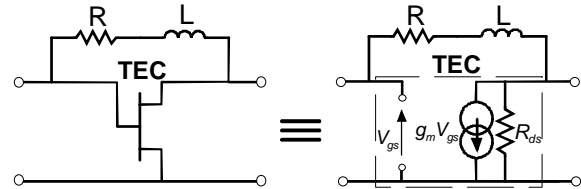


Figure 3. Cellule active à TPG négatif et son schéma équivalent en BF.

Ce circuit NGD est constitué par un Transistor à Effet de Champ (TEC) contre réactionné par un dipôle passif RL comme schématisé à la Figure 3 [7]. Il a été confirmé de différentes manières que l'existence de ce TPG négatif, notamment en électronique, ne contredit pas le principe de la causalité [11-14].

Lors des calculs analytiques, le TEC est modélisé en BF par la source de courant commandée de conductance g_m associée à la résistance R_{ds} . Il a été établi [7] qu'à très basse fréquence ($\omega \rightarrow 0$) ce circuit présente un gain et un TPG définis par :

$$H_0 = \frac{(1 - g_m R_{ds}) R_{ds}}{R + R_{ds}}, \quad (1)$$

$$\tau_0 = \frac{(1 + g_m R_{ds}) L}{(R + R_{ds})(1 - g_m R)} \quad (2)$$

On constate que ce TPG devient négatif sous la condition :

$$R > 1/g_m. \quad (3)$$

En partant de la configuration de la Figure 2, pour illustrer le principe théorique de cette technique, on se restreint dans un premier temps aux lignes modélisées par un circuit RC.

2. Rappels sur les modèles de ligne RC

Considérons un système linéaire modélisé par sa fonction de transfert normalisée par rapport à son gain statique :

$$g(s) = \frac{1 + a_1 s + a_2 s^2 + \dots + a_n s^n}{1 + b_1 s + b_2 s^2 + \dots + b_m s^m}. \quad (4)$$

où les coefficients a_i et b_i sont des constantes réelles et m et n ($m \geq n$) des entiers. D'après Elmore [2], le délai de propagation (temps mis par le signal de sortie pour atteindre 50% de sa valeur maximale) de ce système est défini par :

$$T_{pd} = b_1 - a_1. \quad (5)$$

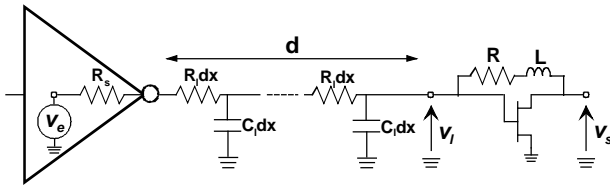


Figure 3. Porte logique chargée par une ligne RC en cascade avec une cellule à TPG négatif.

A partir d'une simplification du 1^{er} ordre de la fonction de transfert du modèle RC d'une ligne de résistance et de capacité linéiques R_l et C_l et de longueur d (Figure 3), ce modèle se réduit à une cellule localisée $R_l C_l$:

$$R_l = R_i d/2 + R_s \text{ et } C_l = C_i d. \quad (6)$$

On parle alors d'une « ligne RC ». Les délais de propagation de la ligne seule et du dispositif compensé sont respectivement donnés par les expressions [7-9] :

$$T_{rc} = R_l C_l, \quad (7)$$

$$T_{rcngd} = \frac{(R + R_{ds})[(1 + g_m R_t)\tau_0 + T_{rc}]}{R + R_{ds} + R_t(1 + g_m R)}. \quad (8)$$

On constate que sous la condition (3), en présence de TPG négatif $\tau_0 < 0$, T_{rcngd} est inférieur T_{rc} . On réalise alors une réduction du délai de propagation. Puis à partir des paramètres de la ligne RC, sont établies les relations de synthèse des éléments du circuit NGD données par :

$$R = \frac{2R_{ds} + R_t(g_m R_{ds} + 1)}{g_m R_{ds} - 1}, \quad (9)$$

$$L = \frac{(g_m R - 1)(R + R_{ds})T_{RC}}{g_m^2 R_{ds} R_t + g_m(R_t + R_{ds}) + 1}. \quad (10)$$

Des simulations dans les conditions réalistes ont été réalisées et les résultats sont rapportés dans la section suivante.

3. Simulations des lignes RC et RLC compensées par des dispositifs NGD

Dans cette section, on utilise le schéma complet du PHEMT/EC-2612 fabriqué par Mimix Broadband® qui a pour caractéristiques principales $g_m = 98,14$ mS et $R_{ds} = 116,8 \Omega$. Les résultats fréquentiels et temporels proposés ont été simulés sous le logiciel ADS® d'Agilent. Pour les circuits de test proposés, il est préférable d'introduire deux étages de TEC pour éviter l'inversion du sens de courant entre l'entrée V_{gs} et la sortie V_{ds} du dispositif à NGD.

3.1. Etudes d'une ligne RC associée à un circuit actif NGD

Pour un transistor donné et après avoir synthétisé le réseau de contre réaction via les formules (9) et (10), une optimisation finale du dispositif est réalisée lorsque les modèles complets des composants sont utilisés. Nous avons considéré les paramètres fournis par le Road Map ITRS [1] ($R_l = 76 \Omega/\text{cm}$, $C_l = 2,6$ pF/cm) pour modéliser une ligne d'interconnexions de longueur $d = 2$ cm alimentée par une porte logique ayant une résistance de sortie $R_s = 90 \Omega$. Pour compenser la dégradation induite par cette ligne, nous avons optimisé les valeurs des éléments R_1 , L_1 , R_2 et L_2 du dispositif décrit par la Figure 4.

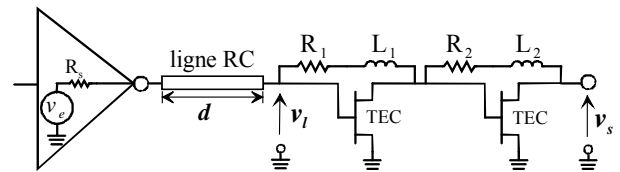


Figure 4. Ligne RC alimentée par une porte ayant une résistance de sortie $R_s = 90 \Omega$, compensée par deux étages de cellules NGD ($R_1 = 91 \Omega$, $L_1 = 40$ nH, $R_2 = 110 \Omega$, $L_2 = 20$ nH, TEC/EC-2612).

Via ADS, nous obtenons alors les résultats temporels de la Figure 5 qui mettent en évidence la compensation des pertes et de la distorsion dues à la ligne. Cette simulation temporelle effectuée avec une entrée de forme trapézoïdale correspondant à un débit de 0,5 Gbits/s permet de montrer l'efficacité de cette technique pour une remise en forme d'un signal dégradé. La réduction du délai de propagation est d'environ 94 % de sa valeur initiale.

Pour montrer la faisabilité de cette technique avec un modèle de ligne encore plus réaliste, des simulations fréquentielles et temporelles avec prise en compte des effets inductifs sont proposées dans le paragraphe suivant.

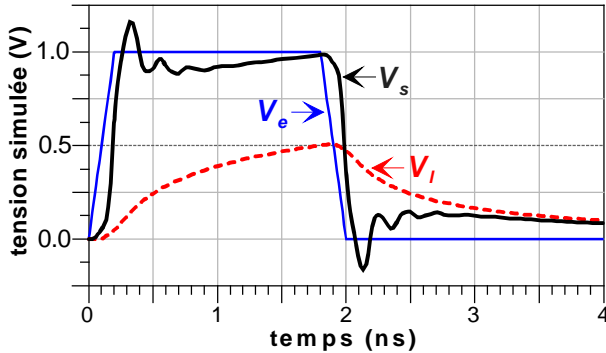


Figure 5. Tensions d'entrée (v_e en trait fin) et de sorties de la ligne seule (v_i en pointillé) puis du circuit total (v_s en trait épais).

3.2. Etudes d'une ligne RLC compensée par un circuit actif NGD

Dans la deuxième série de simulations, le modèle de ligne RLC proposé par Road Map ITRS [1] est utilisé avec les paramètres linéiques suivants $R_l = 76 \Omega/\text{cm}$, $L_l = 5,3 \text{ nH/cm}$ et $C_l = 2,6 \text{ pF/cm}$ pour une longueur $d = 0,8 \text{ cm}$. Pour compenser au mieux les effets de cette ligne, deux cellules NGD sont cascadées à la fin de la ligne et elles sont chargées par une porte logique de capacité d'entrée C_L dans le but d'avoir un modèle plus complet (Figure 6).

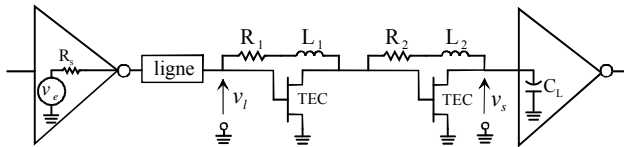
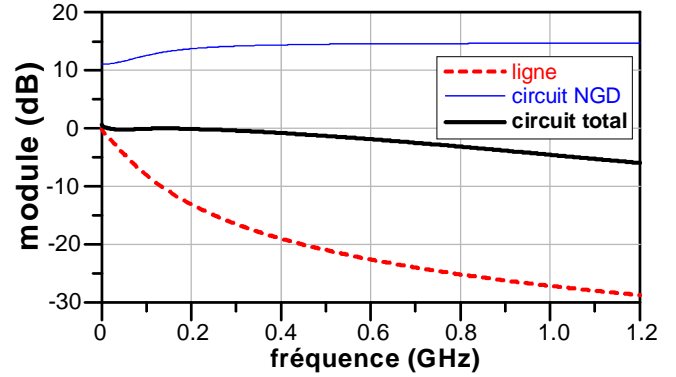


Figure 6. Porte logique de résistance de sortie $R_s = 90 \Omega$ et d'une ligne RLC compensée par deux étages de cellule NGD (TEC/EC2612, $R_1 = 73 \Omega$, $L_1 = 99 \text{ nH}$, $R_2 = 102 \Omega$ et $L_2 = 17 \text{ nH}$) chargés par une porte de capacité d'entrée $C_L = 30 \text{ pF}$.

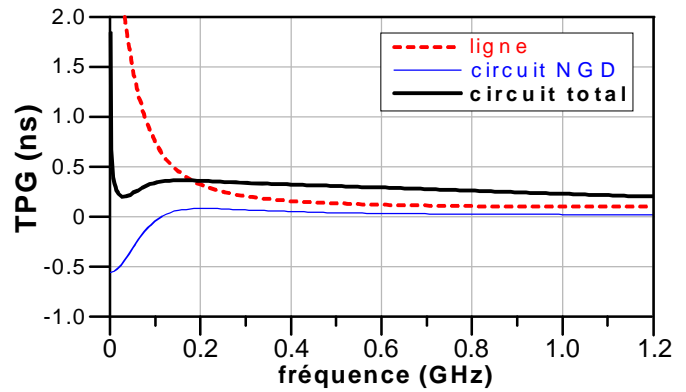
Pour expliquer le principe de la remise en forme via les compensations du gain et du TPG dans le domaine fréquentiel, nous avons simulé d'abord la ligne et le circuit NGD seuls puis l'ensemble du circuit total de la Figure 6. Par conséquent, nous avons obtenu les résultats des Figures 7.

Le module en dB des fonctions de transfert et le TPG de la ligne seule sont représentés par les Figures 7(a) et 7(b), ainsi que ceux correspondant au circuit compensateur seul. Après synthèse et optimisation (tenant compte des modèles les plus précis possibles), les paramètres des deux circuits de contre réaction sont $R_1 = 73 \Omega$, $L_1 = 99 \text{ nH}$, $R_2 = 102 \Omega$ et $L_2 = 17 \text{ nH}$. Le comportement fréquentiel (Figures 7(a) et 7(b)) montre que le gain total est proche de 0 dB jusqu'à 500 MHz et

que le TPG est fortement diminué particulièrement en basses fréquences. Comme envisagé à l'analyse des réponses fréquentielles, les simulations temporelles de la Figure 8 montrent que le signal compensé (v_s) présente une réduction très importante de la distorsion en amplitude et du délai de propagation.



(a)



(b)

Figure 7. Réponses fréquentielles du circuit de la Figure 6 : (a) en gain et (b) en TPG.

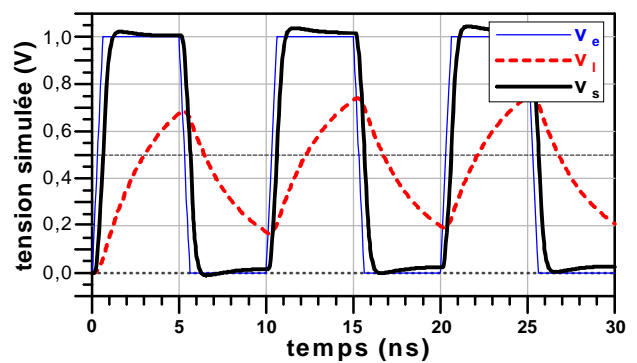


Figure 8. Réponses temporelles du circuit de la Figure 6 pour une entrée trapézoïdale de débit 200 Mbit/s.

Le signal d'entrée de forme trapézoïdale présente une période de 10 ns (équivalent à un débit de 200 Mbit/s) et un temps de montée/descente de 0,6 ns. En comparant les allures de v_i et v_s affichées par la Figure 8, on constate que la compensation n'est évidemment pas totale mais tout de même très satisfaisante, car le délai de propagation est réduit d'environ 1,6 ns (de 1,86 ns à

0,26 ns). On réalise ainsi une réduction de délai d'environ 86 % en valeur relative.

4. Conclusion

Une nouvelle technique de compensation des effets des lignes d'interconnexions dans les systèmes microélectroniques a été présentée. Elle est basée sur l'introduction d'une cellule active à TPG négatif dédiée aux signaux en bande de base [10]. La technique rapportée dans cet article présente un avantage considérable pour sa capacité à redresser simultanément les fronts montant/descendant dégradés par les lignes RC ou RLC voire RLCG par rapport à la technique qui est mise en œuvre actuellement à l'aide des répéteurs [3-4].

A noter que le circuit NGD utilisé lors de cette étude est simplement composé d'un TEC contre réactionné par un dipôle passif RL. Il a été démontré que sous certaines conditions relatives aux valeurs des composants de ce dipôle et des caractéristiques du TEC utilisé, g_m et R_{ds} , ce circuit peut générer un TPG négatif en bande de base avec amplification. Pour corriger les effets négatifs des interconnexions avec cette technique innovante, on suggère d'introduire un nombre pair de cellules NGD pour éviter l'inversion des signes des tensions d'entrée V_{gs} et de sortie V_{ds} .

L'efficacité de cette technique a été vérifiée par des résultats de simulations réalistes qui montrent une remise en forme du signal dégradé par une ligne modélisée par un circuit RC. En plus de la possibilité de compensation des pertes induites d'abord par une ligne RC, ensuite par celle de RLC, nous avons mis en évidence aussi la pertinence de la réduction du délai de propagation jusqu'à plus de 80 % en valeur relative.

De ce fait, cette technique pourrait dans un premier temps, être appliquée à la réduction des dégradations induites par les interconnexions inter-puce. Dans ce cas, une validation en technologie MMIC constituerait une étape future.

5. Bibliographie

- [1] <http://www.itrs.net/>
- [2] W. C. Elmore, « *The transient response of damped linear networks* », Journal of Applied Physics, Vol. 19, Jan. 1948, pp. 55-63.
- [3] V. Adler, and E. G. Friedman, « *Repeater design to reduce delay and power in resistive interconnect* », IEEE Trans. Circuits Syst. II, Analog and Digital Signal Processing, Vol. 54, No. 5, May 1998, pp. 607-616.
- [4] Y. I. Ismail, and E. G. Friedman, « *Effects of inductance on the propagation, delay and repeater insertion in VLSI circuits* », IEEE Trans. VLSI Sys., Vol. 8, No. 2, Apr. 2000, pp. 195-206.
- [5] M. Bartolini, P. Pulici, P. P. Stoppino, and G. Campardo, « *A reduced output Ringing CMOS Buffer* », IEEE Trans. Circuits Syst. II, Exp. Briefs, Vol. 54, No. 2, Feb. 2007, pp. 102-106.
- [6] D. Solli, R. Y. Chiao, and J. M. Hickmann, « *Superluminal effects and negative group delays in electronics, and their applications* », Phys. Rev. E, Vol. 66, 2002, pp. 056601.1-056601.4.
- [7] B. Ravelo, « *Dispositifs à temps de propagation de groupe négatif : théorie, validations expérimentales et applications* », Thèse de Doctorat, Lab-STICC (Laboratoire des Sciences et Techniques de l'Information, de la Communication et de la Connaissance), UMR CNRS 3192, UBO, Brest, France, Déc. 2008, chapitre 8.
- [8] B. Ravelo, A. Pérennec, and M. Le Roy, « *Equalization of interconnect propagation delay with negative group delay active circuits* », 11th IEEE Workshop on Signal Propagation On Interconnects, Genova, Italy, May 2007, pp. 15-18.
- [9] B. Ravelo, A. Pérennec, and M. Le Roy, « *Application of negative group delay active circuits to reduce the 50% propagation delay of RC-line model* », 12th IEEE Workshop on Signal Propagation On Interconnects, Avignon, France, May 2008.
- [10] B. Ravelo, A. Pérennec, and M. Le Roy, « *Negative group delay active topologies respectively dedicated to microwave frequencies and baseband signals* », Journal of EuMA, Vol. 4, Jun. 2008, pp. 124-130.
- [11] M. W. Mitchell, and R.Y. Chiao, « *Negative group delay and 'fronts' in a causal systems: an experiment with very low frequency bandpass amplifiers* », Phys. Lett. A, Vol. 230, Jun. 1997, pp. 133-138.
- [12] M. W. Mitchell, and R.Y. Chiao, « *Causality and negative group delays in a simple bandpass amplifier* », Am. J. Phys., Vol. 66, 1998, pp. 14-19..
- [13] T. Nakanishi, K. Sugiyama, and M. Kitano, « *Demonstration of negative group delays in a simple electronic circuit* », Am. J. Phys., Vol. 70, Issue 11, 2002, pp. 1117-1121.
- [14] J. N. Munday, and R. H. Henderson, « *Superluminal time advance of a complex audio signal* », Appl. Phys. Lett., Vol. 85, Jul. 2004, pp. 503-504.